

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 59-193046

(43)Date of publication of application : 01.11.1984

(51)Int.Cl.

H01L 21/82

H01L 27/04

H03K 13/02

(21)Application number : 58-065465

(71)Applicant : HITACHI LTD

(22)Date of filing : 15.04.1983

(72)Inventor : MATSUDA TOSHIHIRO

KONDO SHIZUO

KURI KAZUHIKO

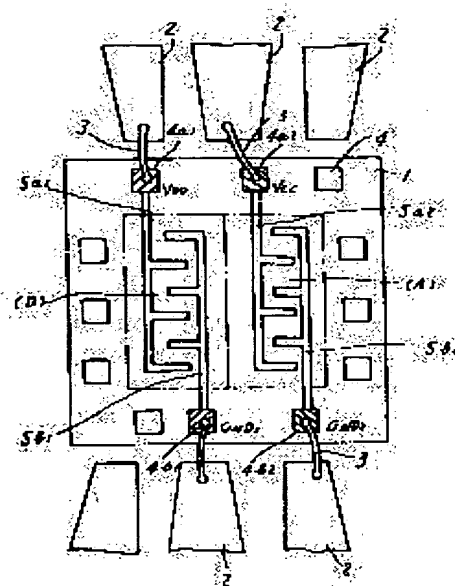
MINAMIMURA EIJI

(54) SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

(57)Abstract:

PURPOSE: To eliminate the generation of the malfunction caused by cross-talk between two circuits by a method wherein power source wirings are provided separately and connected to external connection terminals, respectively, when an analog circuit and a digital circuit are provided on one semiconductor substrate, which are then connected to the power source wirings.

CONSTITUTION: The digital circuit D composed of a C-MOSIC and the analog circuit A composed of a bi-polar C-MOS semiconductor device are provided in the surface layer part of one semiconductor substrate 1, and a plurality of the wiring terminals 4 for external connection are arranged in the periphery of the substrate 1. Next, an Al powder source wiring 5a1 for operating the circuit D is connected to the wiring terminal 4a1, where a power source voltage VDD is supplied, and a power source wiring 5a2 for operating the circuit A is connected to the other terminal 4a2, where a power source voltage VCC is supplied. Thereafter, these terminals 4a1 and 4a2 are connected to external leads 2 via wires 3, respectively. Earth wirings 5b1 and 5b2 from the circuits D and A are connected to wiring terminals 4b1 and 4b2 corresponding to the terminals 4a1 and 4a2, respectively, and then connected to the leads 2 likewise via the wires 3.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision]

BEST AVAILABLE COPY

of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

⑫ 公開特許公報 (A)

昭59—193046

⑤ Int. Cl.³
H 01 L 21/82
27/04
H 03 K 13/02

識別記号

庁内整理番号
6655—5F
Z 8122—5F
7530—5J

⑬ 公開 昭和59年(1984)11月1日

発明の数 2
審査請求 未請求

(全 6 頁)

⑭ 半導体集積回路装置

① 特 願 昭58—65465

② 出 願 昭58(1983)4月15日

⑦ 発 明 者 松田敏弘
高崎市西横手町111番地株式会
社日立製作所高崎工場内

⑦ 発 明 者 近藤静雄
高崎市西横手町111番地株式会
社日立製作所高崎工場内

⑦ 発 明 者 九里和彦

高崎市西横手町111番地株式会
社日立製作所高崎工場内

⑦ 発 明 者 南村英二

高崎市西横手町111番地株式会
社日立製作所高崎工場内

⑦ 出 願 人 株式会社日立製作所
東京都千代田区丸の内1丁目5
番1号

⑦ 代 理 人 弁理士 高橋明夫 外1名

明 細 書

発明の名称 半導体集積回路装置

特許請求の範囲

1. 半導体基体の一主面に、アナログ回路とデジタル回路とを具備し、前記アナログ回路を動作させるための電源配線と前記デジタル回路を動作させるための電源配線は、互いに共用されことなく、それぞれ別々に設けられ、それぞれ個別の外部接続用端子に接続されていることを特徴とする半導体集積回路装置。

2. アナログ回路を構成するトランジスタは、バイポーラトランジスタであり、デジタル回路を構成するトランジスタは、相補型絶縁ゲート型電界効果トランジスタである特許請求の範囲第1項記載の半導体集積回路装置。

3. 外部接続用端子は、それぞれ個別のリードに接続されていることを特徴とする特許請求の範囲第1項又は第2項記載の半導体集積回路装置。

4. 半導体基体の一主面にアナログ回路とデジタル回路とを具備し、前記アナログ回路を動作さ

せるための電源配線とデジタル回路を動作させるための電源配線とは、同一の外部接続用端子に接続されており、前記外部接続用端子から直接に分岐されるか、あるいは、該端子の近傍で分岐されて形成されていることを特徴とする半導体集積回路装置。

5. アナログ回路を構成するトランジスタは、バイポーラトランジスタであり、デジタル回路を構成するトランジスタは、相補型絶縁ゲート型電界効果トランジスタである特許請求の範囲第4項記載の半導体集積回路装置。

発明の詳細な説明

(技術分野)

本発明は一つの半導体基体にアナログ(又はリニヤ)回路とデジタル(又はロジック)回路を共存させる半導体集積回路(以下ICと称す)に関する。

(背景技術)

例えば測定器などに用いられるアナログ・デジタル変換器およびデジタル・アナログ変換器

等において、半導体基体内にアナログ回路とデジタル回路とを共存させる場合に、アナログ回路には電圧精度の高いバイポーラトランジスタが使われ、デジタル回路には低消費電力の相補型絶縁ゲート型電界効果トランジスタ（以下CMOS FETと称す）が使われることが多い。

アナログ回路とデジタル回路とは、1つの半導体基体主面を2つの領域に分け、それぞれの領域に形成される。

これらの回路を動作させるためには、電源配線と接地（グランド）配線が必要だが、アナログ回路用の電源配線（あるいはグランド配線）をデジタル回路用の電源配線（グランド配線）と共用し、配線の本数を減らし、ICのチップ面積の増大を防ぐことが、従来より行なわれている。

しかしながらこのように、配線を共用すると、以下のような問題点があることが本発明者によって明らかとされた。

すなわちデジタル回路を構成するCMOSインバータがスイッチング動作することによって貫

通電流が瞬時的に流れるが、この電流がロジックノイズとなって共通の電源配線や接地配線にのりアナログ用配線とデジタル用配線の共用部分で電圧降下をひきおこしこの結果電源（接地）の電位がゆらぎアナログ回路の基準電圧に悪影響を及ぼしリニア動作の精度を低下させ、あるいは回路の誤動作をさせるものである。その1例を次に示す。

第1図はデジタル・アナログ(DA)変換回路の一部を簡略化して示すものであって、6はCMOS FETからなるデコーダ回路、7はこのデコーダ回路からの出力端にCMOS FETよりなるインバータ A_1, A_2, A_N を介して接続された抵抗ラダー R_1, R_2, R_N である。

この回路は、デコーダ6に入力端子 $IN_1 \sim IN_N$ のいずれかからデジタル信号が入力されるとデコーダにおいて所定の論理演算がなされ、その処理信号（デジタル信号）が、 $OUT_1 \sim OUT_N$ のいずれかから出力され、その出力信号により、CMOSよりなるインバータ $A_1 \sim A_N$ のいずれかが

動作し V_{cc} アナログ用電源からの電流を吸い込み、あるいはおだしし、その結果、デジタル入力に対応したアナログ出力をOUT端子に得るものである。

この回路においては、理想的には、ビット数（デコーダ回路の出力数、 N ）に応じて $V_{cc}/2^N$ の精度でアナログ電圧を出力できるが、デコーダ回路6の電源 V_{DD} とアナログ回路の電源 V_{cc} とが、図中破線で示す共通の配線8によって接続されていると、デコーダ部のスイッチングにより発生する貫通電流と、その共通インピーダンス R とによって電圧降下がおこり、このデジタルノイズが $V_{cc}/2^N$ のオーダーで電源配線（ V_{cc} ）にのると精度は保障できなくなる。

このようなクロストークは、デコーダのビット数が多く、電圧精度の高いICほど影響が大である。特にチップ寸法の大きいLSIにおいては電源（接地）用配線は長くなり、又パターンの微細化のためアルミニウムよりなる配線の膜厚が $1\mu m$ 以下と薄く、したがって共通の電源配線部8

のインピーダンス（ R ）が大きいのでロジックノイズの影響は増々大きくなる。

これを解決するには共通のインピーダンスをなくするか最小限におさえる必要がある。

〔発明の目的〕

本発明の一つの目的は一つの半導体基体に形成されたアナログ回路とデジタル回路の間でのクロストークによる誤動作を防止する技術を提供することにある。

本発明の他の一つの目的は高精度で安定動作できるアナログ・デジタル共存型のバイポーラCMOS ICの提供にある。

〔発明の概要〕

本願において開示される発明のうち代表的なもの概要を簡単に説明すれば下記のとおりである。すなわち、一つの半導体基体の一主面にアナログ回路とデジタル回路とが形成され、アナログ動作用の電源配線（及び接地配線）とデジタル回路動作用の電源配線（及び接地配線）とは互いに共用されることなくそれぞれ別々に設けられ、か

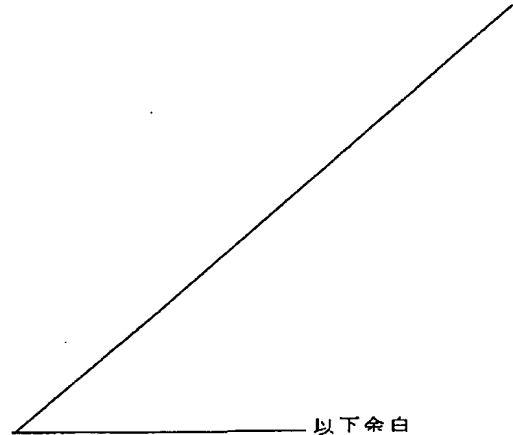
つそれぞれ別個の外部接続用端子(パッド)に接続され、これら端子には別個の外部リードが接続されていることにより、アナログ回路とデジタル回路の電源(接地)配線における共通インピーダンスをなくしデジタル回路によるノイズのアナログ回路への影響をなくしたものである。

〔実施例1〕

第2図に1つの半導体基体(チップ)1の一主面にCMOSICよりなるデジタル回路(D)とバイポーラICよりなるアナログ回路(A)とが形成されたバイポーラCMOS半導体装置に本発明を適用した場合の一実施例が示される。

同図に示すように基板の周辺にそってアルミニウム膜よりなる外部接続用配線端子(ボンディングパッド)4が配設され、このうち、配線端子4a₁にデジタル回路動作用Aの電源配線5a₁が接続され、電源電圧V_{DD}がデジタル回路に供給され、別の配線端子4a₂にアナログ回路動作用電源配線5a₂が接続され電源電圧V_{CC}がアナログ回路に供給される。これら配線端子4a₁,4a₂

にはそれぞれワイヤ3を介して外部リード(ピン)2が結線されている。一方、電源用端子4b₁,4b₂にはデジタル回路及びアナログ回路からの接地用配線5b₁,5b₂がそれぞれ接続されるとともに、ワイヤ3を介して外部のリード(ピン)2に結線されている。



〔効果〕

この実施例1によればデジタル回路とアナログ回路との各電源配線(接地配線)は別個の配線端子に接続され、前掲第1図の配線8に対応する共通の電源(接地)配線を有しないことから電源(接地)の共通インピーダンスはない。又、デジタル回路とアナログ回路に接続された各電源(接地)端子はそれぞれにワイヤを介して個別に外部リードに接続されており、この部分でも共通のインピーダンスの問題はない。したがって、この実施例1の構造ではデジタルノイズによるアナログ回路の電圧降下等の影響を完全になくすることができる。

なお、この実施例のICの完成図を図3に示す。同図で8はレジンモールド後のIC本体を示し、9,10は第2図のインナーリード2に連結するアウターリードであり、9はアナログ回路用電源供給ピン、10はデジタル回路用電源供給ピンである。このように、アナログ回路とデジタル回路との電源(接地)リード(ピン)を別々にと

り、それぞれが独立しているため、IC完成後の最終検査工程におけるテスト時に、デジタル電源電圧のみを選択的に高め、回路動作をはやめて、テスト時間の短縮を図ることが可能となった。

〔実施例2〕

第4図に本発明をバイポーラCMOS半導体装置に適用した場合の他の一実施例が示される。

この実施例2において、半導体基体(チップ)1の内部の形態は前掲実施例1のものと全く同一(第3図と第4図とで共通の構成部分に対し同じ指示記号を付している。)であり、異なるところは基体周辺に個別に形成されたデジタル回路とアナログ回路の電源(接地)配線を接続した配線端子4a₁,4a₂(4b₁,4b₂)から共通の外部端子2a(2b)に対しワイヤ3により結線した点である。

〔効果〕

このような実施例2によれば、実施例1と同様にデジタル回路とアナログ回路との各電源(接

地)配線は別個の端子に接続されていることにより共通のインピーダンスはもたない。ただし、デジタル回路とアナログ回路に接続された各配線端子は共通のリード(ピン)にワイヤを介して接続されており、この部分で共通インピーダンスをもつワイヤやリードにおけるインピーダンスはアルミニウム膜よりなる電源(接地)配線のそれよりかはるかに小さいことからこの部分は、回路動作上、さほど大きな悪影響は与えない。したがってこの実施例2の構造ではパッケージのピン数を増加させることなくデジタルノイズによるアナログ回路の電圧降下等の影響を少なくすることができる。

[実施例3]

第5図に本発明をバイポーラCMOS半導体装置に適用した場合のさらに他の一実施例が示される。

前掲の実施例1, 2においては半導体チップ内にデジタル回路とアナログ回路とがならべて配置された例を示したが、この実施例3ではチップ

の中心にデジタル回路(D)を配線し、その周辺を取り囲むようにアナログ回路(A)を配置した例を示す。なお、第3図、第4図とこの第5図とで共通の構成部分に対し同じ指示記号を付してある。

同図に示すように基板周辺に設けられたアルミニウム膜よりなる配線端子(パッド)のうち、配線端子4aを電源端子としてここから直接にデジタル回路動作電源配線5a₁とアナログ回路動作電源配線5a₂が直接に分岐されそれぞれの回路(D)(A)に配線されている。又、デジタル回路(D)及びアナログ回路(A)の接地側配線5b₁, 5b₂は電源用配線端子5a₁と対向位置にある接地用配線端子4bに直接に接続されている。なお、各配線端子4a, 4bはワイヤ3を介して外部リード(ピン)2a, 2bにそれぞれ結線されている。

[効果]

このような実施例3によれば、デジタル回路とアナログ回路の各電源(接地)配線は配線端子より直接に分岐された状態で接続されていることにより、電源(接地)の共通インピーダンスは共

通の電源(接地)配線がある場合に比して小さくすることができる。又、電源(接地)配線端子に接続されたワイヤ及びリード自体のインピーダンスも小さいため、デジタルノイズによるアナログ回路の電圧降下の影響を少なくすることができる効果を有する。本実施例では、パッド面積を増加させることがなく、チップ面積を小さくすることができるという利点がある。

以上本発明者によってなされた発明を実施例にもとづき具体的に説明したが、本発明は上記実施例に限定されるものではなく、その要旨を逸脱しない範囲で種々変更可能であることはいうまでもない。

例えばデジタル回路用電源(接地)配線とアナログ回路用電源(接地)配線とを一つの配線端子より分岐する場合に、配線端子から直接に分岐させる代りに、配線端子近傍で素子に接続される前に分岐してもよい。その場合配線端子から分岐点までの配線の幅(又は厚さ)を十分に大きくしてその部分のインピーダンスが大きくならないよ

うにすることが望ましい。この実施例を第6図に示す。なお同図で前掲の図面と共通の構成部分に対しては、同じ指示番号を付してある。

[利用分野]

本発明はアナログ・デジタル共存形の半導体装置のすべてに適用でき、特にアナログ・デジタル共存形のバイポーラCMOSICに適用して最も有効である。

なお、IIL(集積注入論理素子)を組み込んだBi-I²Lアナログ・デジタル共存形の半導体装置が知られており、IILを用いたデジタル回路ではスイッチング動作時にも電源(接地)配線にある程度の定電流が流れており、CMOSICによるデジタル回路のような動作時の一瞬にパルスの電流が流れるのとちがいデジタルノイズの影響はそれほど多くはないが、本発明を適用すればBi-CMOSICの場合と同様の効果を得ることができることは言うまでもない。

図面の簡単な説明

第1図はデジタル・アナログ変換器の一部を

示す回路図である。

第2図はアナログ・デジタル共存形バイポーラCMOSICに本発明を適用した場合の一実施例の平面図である。

第3図は、本発明を用いたICの完成図を示す斜視図である。

第4図はアナログ・デジタル共存形バイポーラCMOSICに本発明を適用した場合の他の一実施例の平面図である。

第5図はアナログ・デジタル共存形バイポーラCMOSICに本発明を適用した場合のさらに他の一実施例の平面図である。

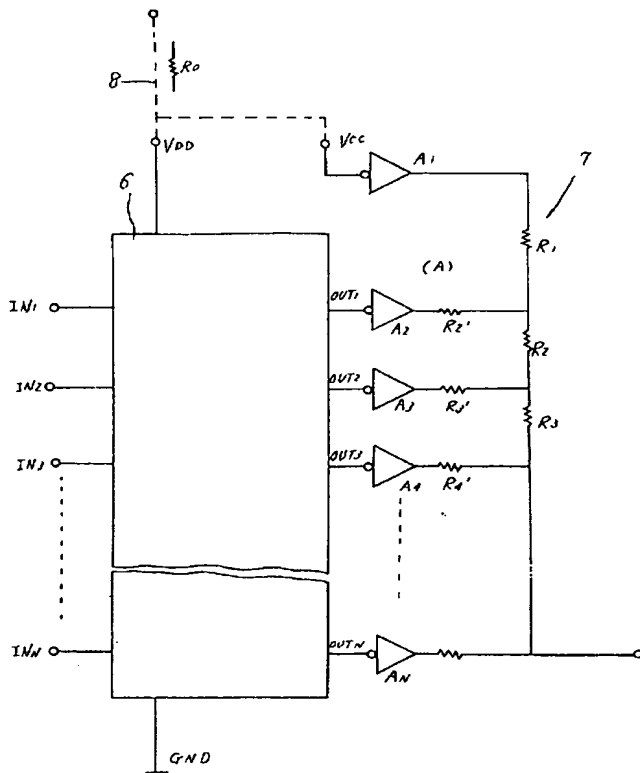
第6図は同じくアナログ・デジタル共存形バイポーラCMOSICに本発明を適用した場合のさらに他の一実施例の平面図である。

1…半導体基体(チップ)、2…リード(ピン)、3…ワイヤ、4…外部接続用端子(ボンディングパッド、又はパッド)、5…電源(接地)用配線、6…デコーダ、7…抵抗、8…レジストモールドIC本体、9、10…リード。

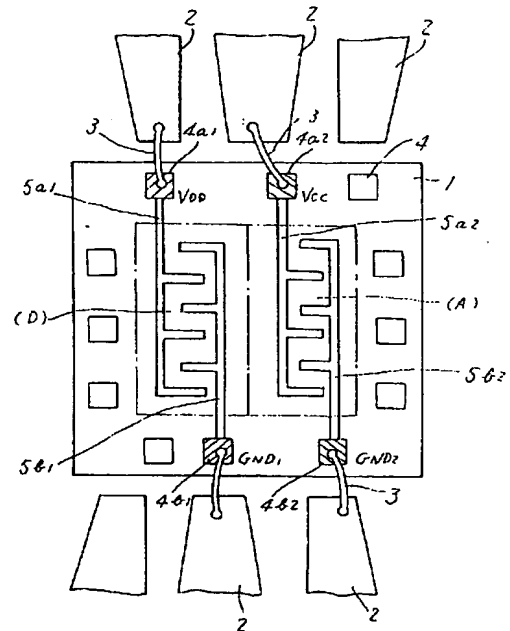
代理人 弁理士 高橋 明夫



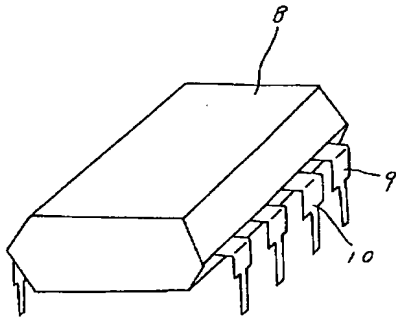
第 1 図



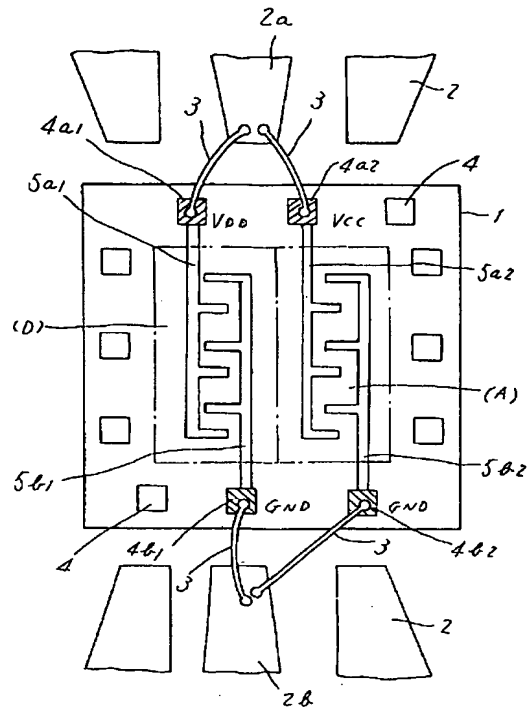
第 2 図



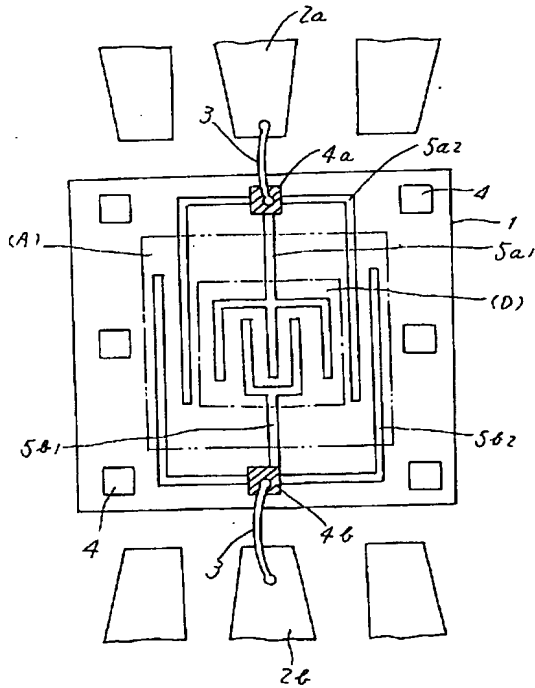
第 3 圖



第 4 圖



第 5 圖



第 6 圖

